



日本国特許庁  
JAPAN PATENT OFFICE

同一の書類に記載されている事項は下記の出願書類に記載されており、証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月 7日  
Date of Application:

出願番号 特願 2003-348750  
Application Number: 特願 2003-348750

[ST. 10/C] : [ J P 2 0 0 3 - 3 4 8 7 5 0 ]

出願人  
Applicant(s): 松下電器産業株式会社

2003年10月28日

特許庁長官  
Commissioner,  
Japan Patent Office

# 今井康夫

【書類名】 特許願  
【整理番号】 2926950011  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/331  
H01L 29/73

【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 村山 啓一

【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 田村 彰良

【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 能米 雅信

【特許出願人】  
【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社

【代理人】  
【識別番号】 100109210  
【弁理士】  
【氏名又は名称】 新居 広守

【先の出願に基づく優先権主張】  
【出願番号】 特願2003-186827  
【出願日】 平成15年 6月30日

【手数料の表示】  
【予納台帳番号】 049515  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0213583

**【書類名】特許請求の範囲****【請求項1】**

GaAsからなるn型のサブコレクタ層と、

前記サブコレクタ層上に形成され、前記サブコレクタ層よりアバランシェ係数の小さい半導体材料からなるn型の第1のコレクタ層と、

前記第1のコレクタ層上に形成され、前記サブコレクタ層より低い不純物濃度のn型又はi型のGaAsからなる第2のコレクタ層と、

前記第2のコレクタ層上に形成され、GaAsからなるp型のベース層と、

前記ベース層上に形成され、前記ベース層よりバンドギャップの大きな半導体材料からなるn型のエミッタ層とを備える

ことを特徴とするヘテロ接合バイポーラトランジスタ。

**【請求項2】**

前記第1のコレクタ層は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上の不純物濃度を有する

ことを特徴とする請求項1に記載のヘテロ接合バイポーラトランジスタ。

**【請求項3】**

前記第1のコレクタ層は、200nm未満の膜厚を有する

ことを特徴とする請求項1又は2に記載のヘテロ接合バイポーラトランジスタ。

**【請求項4】**

前記第1のコレクタ層の不純物濃度は、前記サブコレクタ層との界面から前記第2のコレクタ層の界面に向かう方向に低くなる

ことを特徴とする請求項1～3のいずれか1項に記載のヘテロ接合バイポーラトランジスタ。

**【請求項5】**

前記ヘテロ接合バイポーラトランジスタは、さらに、

前記第1のコレクタ層と前記第2のコレクタ層との間に形成された半導体層を備え、

前記半導体層は、前記第1のコレクタ層と前記第2のコレクタ層との間の伝導帯の不連続を緩和する

ことを特徴とする請求項1～4のいずれか1項に記載のヘテロ接合バイポーラトランジスタ。

**【請求項6】**

前記半導体層は、前記第1のコレクタ層又は前記第2のコレクタ層と同一の半導体材料からなり、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の不純物濃度を有するn型のスペーサ層である

ことを特徴とする請求項5に記載のヘテロ接合バイポーラトランジスタ。

**【請求項7】**

前記半導体層は、前記第1のコレクタ層と接し、前記第1のコレクタ層と同一の半導体材料からなり、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の不純物濃度を有するn型の第1のスペーサ層と、

前記第2のコレクタ層と接し、前記第2のコレクタ層と同一の半導体材料からなり、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の不純物濃度を有するn型の第2のスペーサ層とからなる

ことを特徴とする請求項5に記載のヘテロ接合バイポーラトランジスタ。

**【請求項8】**

前記第1のコレクタ層は、 $I_n x G a_{1-x} P$  ( $0.47 \leq x \leq 0.52$ ) からなる

ことを特徴とする請求項1～7のいずれか1項に記載のヘテロ接合バイポーラトランジスタ。

**【請求項9】**

前記第1のコレクタ層は、ディスオーダされた構造を有する

ことを特徴とする請求項8に記載のヘテロ接合バイポーラトランジスタ。

**【請求項10】**

前記エミッタ層は、 $I_n x G a_{1-x} P$  ( $0.47 \leq x \leq 0.52$ ) からなる

ことを特徴とする請求項1～9のいずれか1項に記載のヘテロ接合バイポーラトランジスタ。

**【請求項11】**

前記第1のコレクタ層は、 $\text{Al}_y\text{Ga}_{1-y}\text{As}$  ( $0 \leq y \leq 1$ ) からなることを特徴とする請求項1～7のいずれか1項に記載のヘテロ接合バイポーラトランジスタ。

**【請求項12】**

前記第1のコレクタ層のAl組成比yは、前記サブコレクタ層との界面から前記第2のコレクタ層との界面に向けて段階的に変化することを特徴とする請求項11に記載のヘテロ接合バイポーラトランジスタ。

**【請求項13】**

前記エミッタ層は、 $\text{Al}_y\text{Ga}_{1-y}\text{As}$  ( $0 \leq y \leq 1$ ) からなることを特徴とする請求項11又は12に記載のヘテロ接合バイポーラトランジスタ。

**【請求項14】**

ヘテロ接合バイポーラトランジスタの製造方法であって、半導体基板上にサブコレクタ層、第1のコレクタ層、第1のスペーサ層、第2のスペーサ層、第2のコレクタ層、ベース層およびエミッタ層を順次積層する第1のステップと、前記エミッタ層の所定領域を第1のエッチング液によりエッチングする第2のステップと、

前記エッチングされたエミッタ層をマスクにし、前記ベース層、第2のコレクタ層および第2のスペーサ層を第2のエッチング液によりエッチングする第3のステップと、

前記第2のエッチング液によるエッチングで露出した第1のスペーサ層および第1のコレクタ層の所定領域を第3のエッチング液によりエッチングする第4のステップとを含むことを特徴とするヘテロ接合バイポーラトランジスタの製造方法。

**【請求項15】**

前記サブコレクタ層、ベース層、第2のコレクタ層および第2のスペーサ層は、それぞれ不純物が添加された $\text{GaAs}$ からなり、前記第1のコレクタ層および第1のスペーサ層は、それぞれ不純物が添加された $\text{InGaP}$ からなり、

前記第3のステップにおける第2のエッチング液は、燐酸・過酸化水素系エッチング液であり、

前記第4のステップにおける第3のエッチング液は、水で希釈した塩酸である

ことを特徴とする請求項14に記載のヘテロ接合バイポーラトランジスタの製造方法。

**【請求項16】**

前記ヘテロ接合バイポーラトランジスタは、さらに、エミッタキャップ層およびエミッタコンタクト層と、エミッタ電極、コレクタ電極およびベース電極とを備え、

前記第1のステップは、前記エミッタ層上に前記エミッタキャップ層およびエミッタコンタクト層を順次積層する第1のサブステップと、前記エミッタキャップ層およびエミッタコンタクト層の所定領域を第4のエッチング液によりエッチングする第2のサブステップとを含み、

ヘテロ接合バイポーラトランジスタの製造方法は、さらに、

前記第3のエッチング液によるエッチングで露出したサブコレクタ層上に前記コレクタ電極を形成する第5のステップと、

前記第4のエッチング液によるエッチングで露出したエミッタ層上に前記エミッタ電極を、前記エミッタコンタクト層上に前記ベース電極を形成する第6のステップとを含む

ことを特徴とする請求項14又は15に記載のヘテロ接合バイポーラトランジスタの製造方法。

**【請求項17】**

前記ヘテロ接合バイポーラトランジスタは、段形状を有し、

第2のサブステップにおいて、前記エミッタキャップ層およびエミッタコンタクト層の所定領域をエッチングすることにより前記段形状を形成する3段目の層を形成し、

前記第2のステップにおいて、前記3段目の層外端より外部に存在するエミッタ層をエッチングし、前記第3のステップにおいて、当該エッチングされたエミッタ層をマスクに

して、前記ベース層、第2のコレクタ層および第2のスペーサ層をエッチングすることにより、前記段形状を形成する2段目の層を形成し、

前記第4のステップにおいて、前記2段目の層外端より外部に存在する前記第1のスペーサ層および第1のコレクタ層をエッチングすることにより、前記段形状を形成する1段目の層を形成する

ことを特徴とする請求項16に記載のヘテロ接合バイポーラトランジスタの製造方法。

【書類名】明細書

【発明の名称】ヘテロ接合バイポーラトランジスタ

【技術分野】

#### 【0001】

本発明は、縦型ゲート電極を有するヘテロ接合バイポーラトランジスタおよびその製造方法に関するものである。

【背景技術】

#### 【0002】

エミッタにバンドギャップの大きな半導体を用いたヘテロ接合バイポーラトランジスタ(Heterojunction Bipolar Transistor:HBT)は、携帯電話機等に用いられる高周波アナログ素子として実用化されている。特にエミッタにInGaPを用いたInGaP/GaAs HBTは、温度依存性が小さく、高信頼性のデバイスとしてその使用方法は今後ますます多岐にわたっていくと予想される。

#### 【0003】

以下、図を用いて、一般的なInGaP/GaAs HBTのデバイス構造およびその製造方法(例えば、特許文献1参照。)を説明する。

図4は、n p n型InGaP/GaAs HBTの構造を示す断面図である。

図4に示されるように、InGaP/GaAs HBTは、半絶縁性のGaAs半導体基板400と、半導体基板400上にn型不純物を高濃度でドープして形成されたn<sup>+</sup>型GaAsサブコレクタ層410と、サブコレクタ層410上の所定領域に凸部となるように形成された第1段目の層420と、第1段目の層420上の所定領域に第2段目の凸部となるように形成された第2段目の層430と、第2段目の層430上に形成された例えばTi/Pt/Auからなるエミッタ電極440と、第2段目の層430周辺の露出している第1段目の層420上にベース層422と接触するように熱拡散させて形成されたPtを含む多層メタル等であるベース電極450と、第1段目の層420周辺の露出しているサブコレクタ層410上に形成されたAuGeNi/Au等からなるコレクタ電極460と、イオン注入および不活性化熱処理により素子周辺領域に形成され、サブコレクタ層410から半導体基板400に達し、単位HBTを電気的に分離する素子分離領域470とから構成される。

#### 【0004】

ここで、第1段目の層420は、低不純物濃度のn型もしくはノンドープのGaAsコレクタ層421と、高濃度のp型GaAsベース層422と、n型InGaPエミッタ層423とが順に積層されてなる。

また、第2段目の層430は、n型GaAsエミッタキャップ層431と、低接触抵抗のn型InGaAsエミッタコンタクト層432とが順に積層されてなる。

【特許文献1】特開2000-260783号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0005】

ところで、近年InGaP/GaAs系HBTの使用用途は拡大し、HBTに対して高出力化および高耐破壊化が求められている。例えば、携帯電話機の送信アンプに限定しても、従来のCDMA方式ではなく、GSM方式の端末送信部のパワーデバイスとして実用化する場合、3~4Wの高出力、つまり、電圧定在波比(Voltage Standing Wave Ratio:VSWR)=1.0:1で破壊されないことが要求される。

#### 【0006】

しかしながら、従来のInGaP/GaAs系HBTでは、高出力化に付随して要求される高耐破壊化を満たすことができないという問題がある。

ここで、図5、6を用いて、高出力化に付随して起こるHBTの破壊について説明する。

図5は、InGaP/GaAs系HBTのコレクタ電圧Vc-コレクタ電流Ic特性およ

び破壊曲線を示す図である。なお、 $V_c - I_c$ 特性は異なるベース電流 $I_B$ 時におけるものであり、破壊曲線は各ベース電流 $I_B$ 時におけるHBTが破壊する点をプロットし、つなぎだものである。

#### 【0007】

図5から、HBTの破壊は高電流領域A、低電流領域Bでの破壊に分けることができ、高出力化に付随して起こる破壊は、高電流領域Aのコレクタ電圧6V近傍における破壊領域に負荷曲線が重なっていることが原因と考えられる。

#### 【0008】

図6は、本発明者が行った電界強度シミュレーション結果を示す図である。図6において、横軸はエミッタ層表面からサブコレクタ層への距離を示し、縦軸は各電流値での電界強度を示している。また、図6(a)は低電流領域B(例えば、 $I_B = 1 \mu A$ 、 $V_c = 3.5 V$ )におけるものであり、図6(b)は低電流領域Bと高電流領域Aとの間(例えば、 $I_B = 10 \mu A$ 、 $V_c = 3.5 V$ )におけるものであり、図6(c)は高電流領域A(例えば、 $I_B = 34 \mu A$ 、 $V_c = 3.5 V$ )におけるものである。

#### 【0009】

図6から、低電流領域Bではベース・コレクタ界面に最大電界が印加され、ベース・コレクタ界面において破壊の要因となるアバランシェブレークダウンが発生するが(図6(a))、電流が増大してコレクタ濃度を超える濃度の電子がコレクタに注入されると(Kirk効果)、最大電界が印加される領域がベース側からサブコレクタ側に移行し(図6(b))、更に電流を増大させると、コレクタ・サブコレクタ界面に最大電界が印加され(図6(c))、コレクタ・サブコレクタ界面においてアバランシェブレークダウンが発生することがわかる。なお、この現象については著者A.Szeによる参考図書2nd edition of Semiconductor Devicesのページ147に詳細に説明されている。

#### 【0010】

以上の説明から、高出力化に付随して起こるHBTの破壊は、コレクタ・サブコレクタ界面におけるアバランシェブレークダウンの発生を起因とするものであることがわかる。

そこで、本発明は、かかる問題点に鑑み、高出力化に付随して要求される高耐破壊化を満たすヘテロ接合バイポーラトランジスタを提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0011】

上記目的を達成するために、本発明のヘテロ接合バイポーラトランジスタは、GaAsからなるn型のサブコレクタ層と、前記サブコレクタ層上に形成され、前記サブコレクタ層よりアバランシェ係数の小さい半導体材料からなるn型の第1のコレクタ層と、前記第1のコレクタ層上に形成され、前記サブコレクタ層より低い不純物濃度のn型又はi型のGaAsからなる第2のコレクタ層と、前記第2のコレクタ層上に形成され、GaAsからなるp型のベース層と、前記ベース層上に形成され、前記ベース層よりバンドギャップの大きな半導体材料からなるn型のエミッタ層とを備えることを特徴とする。ここで、前記第1のコレクタ層は、 $In_xGa_{1-x}P$ ( $0.47 \leq x \leq 0.52$ )からなってもよいし、前記第1のコレクタ層は、ディスオーダされた構造を有してもよいし、前記エミッタ層は、 $In_xGa_{1-x}P$ ( $0.47 \leq x \leq 0.52$ )からなってもよい。また、前記第1のコレクタ層は、 $Al_yGa_{1-y}As$ ( $0 \leq y \leq 1$ )からなってもよいし、前記第1のコレクタ層のAl組成比yは、前記サブコレクタ層との界面から前記第2のコレクタ層との界面に向けて段階的に変化してもよいし、前記エミッタ層は、 $Al_yGa_{1-y}As$ ( $0 \leq y \leq 1$ )からなってもよい。

#### 【0012】

これによって、高電流時において電界が集中するコレクタ・サブコレクタ界面にアバランシェ係数の小さい半導体材料からなる半導体層が挿入され、コレクタ・サブコレクタ界面におけるアバランシェブレークダウンを抑制することができるので、高出力化に付随して要求される高耐破壊化を満たすヘテロ接合バイポーラトランジスタを実現することができる。

**【0013】**

ここで、前記第1のコレクタ層は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上の不純物濃度を有してもよい。また、前記第1のコレクタ層は、200 nm未満の膜厚を有してもよい。

これによって、コレクタ抵抗を低減させ、オン抵抗を抑えることができるので、高効率のヘテロ接合バイポーラトランジスタを実現することができる。

また、前記第1のコレクタ層の不純物濃度は、前記サブコレクタ層との界面から前記第2のコレクタ層の界面に向かう方向に低くなってもよい。

**【0014】**

これによって、第1のコレクタ層およびサブコレクタ層、第1のコレクタ層および第2のコレクタ層の伝導帯の不連続を緩和し、オン抵抗を抑えることができるので、高効率のヘテロ接合バイポーラトランジスタを実現することができる。

また、前記ヘテロ接合バイポーラトランジスタは、さらに、前記第1のコレクタ層と前記第2のコレクタ層との間に形成された半導体層を備え、前記半導体層は、前記第1のコレクタ層と前記第2のコレクタ層との間の伝導帯の不連続を緩和してもよい。また、前記半導体層は、前記第1のコレクタ層又は前記第2のコレクタ層と同一の半導体材料からなり、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の不純物濃度を有するn型のスペーサ層であってもよいし、前記半導体層は、前記第1のコレクタ層と接し、前記第1のコレクタ層と同一の半導体材料からなり、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の不純物濃度を有するn型の第1のスペーサ層と、前記第2のコレクタ層と接し、前記第2のコレクタ層と同一の半導体材料からなり、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の不純物濃度を有するn型の第2のスペーサ層とからなってもよい。

**【0015】**

これによって、第1のコレクタ層および第2のコレクタ層の伝導帯の不連続を緩和し、オン抵抗を抑えることができるので、高効率のヘテロ接合バイポーラトランジスタを実現することができる。

**【0016】**

また、本発明は、ヘテロ接合バイポーラトランジスタの製造方法であって、半導体基板上にサブコレクタ層、第1のコレクタ層、第1のスペーサ層、第2のスペーサ層、第2のコレクタ層、ベース層およびエミッタ層を順次積層する第1のステップと、前記エミッタ層の所定領域を第1のエッチング液によりエッチングする第2のステップと、前記エッチングされたエミッタ層をマスクにし、前記ベース層、第2のコレクタ層および第2のスペーサ層を第2のエッチング液によりエッチングする第3のステップと、前記第2のエッチング液によるエッチングで露出した第1のスペーサ層および第1のコレクタ層の所定領域を第3のエッチング液によりエッチングする第4のステップとを含むことを特徴とするヘテロ接合バイポーラトランジスタの製造方法とすることもできる。ここで、前記サブコレクタ層、ベース層、第2のコレクタ層および第2のスペーサ層は、それぞれ不純物が添加されたGaAsからなり、前記第1のコレクタ層および第1のスペーサ層は、それぞれ不純物が添加されたInGaPからなり、前記第3のステップにおける第2のエッチング液は、燐酸・過酸化水素系エッチング液であり、前記第4のステップにおける第3のエッチング液は、水で希釈した塩酸であってもよいし、前記ヘテロ接合バイポーラトランジスタは、さらに、エミッタキャップ層およびエミッタコンタクト層と、エミッタ電極、コレクタ電極およびベース電極とを備え、前記第1のステップは、前記エミッタ層上に前記エミッタキャップ層およびエミッタコンタクト層を順次積層する第1のサブステップと、前記エミッタキャップ層およびエミッタコンタクト層の所定領域を第4のエッチング液によりエッチングする第2のサブステップとを含み、ヘテロ接合バイポーラトランジスタの製造方法は、さらに、前記第3のエッチング液によるエッチングで露出したサブコレクタ層上に前記コレクタ電極を形成する第5のステップと、前記第4のエッチング液によるエッチングで露出したエミッタ層上に前記エミッタ電極を、前記エミッタコンタクト層上に前記ベース電極を形成する第6のステップとを含んでもよいし、前記ヘテロ接合バイポーラトランジスタは、段形状を有し、第2のサブステップにおいて、前記エミッタキャップ層およびエミッタコンタクト層の所定領域をエッチングすることにより前記段形状を形成する

3段目の層を形成し、前記第2のステップにおいて、前記3段目の層外端より外部に存在するエミッタ層をエッチングし、前記第3のステップにおいて、当該エッチングされたエミッタ層をマスクにして、前記ベース層、第2のコレクタ層および第2のスペーサ層をエッチングすることにより、前記段形状を形成する2段目の層を形成し、前記第4のステップにおいて、前記2段目の層外端より外部に存在する前記第1のスペーサ層および第1のコレクタ層をエッチングすることにより、前記段形状を形成する1段目の層を形成してもよい。

#### 【0017】

これによって、第1のスペーサ層およびサブコレクタ層はそれぞれエッチング液によるエッチングのストッパー層として機能するので、エッチング加工精度を大幅に向上させるヘテロ接合バイポーラトランジスタの製造方法を実現することができる。

#### 【発明の効果】

#### 【0018】

本発明に係るヘテロ接合バイポーラトランジスタによれば、コレクタ・サブコレクタ界面におけるアバランシェブレークダウンを抑制することができるので、高出力化に付随して要求される高耐破壊化を満たすヘテロ接合バイポーラトランジスタを実現できるという効果が奏される。また、本発明に係るヘテロ接合バイポーラトランジスタによれば、オン抵抗を抑えることができるので、高効率のヘテロ接合バイポーラトランジスタを実現することができるという効果が奏される。

#### 【0019】

よって、本発明により、高出力化に付随して要求される高耐破壊化を満たす高効率のHBTを提供することが可能となり、GSM方式の端末送信部のパワーデバイスとして実用化可能なHBTを実現することができ、実用的価値は極めて高い。

#### 【発明を実施するための最良の形態】

#### 【0020】

以下、本発明の実施の形態におけるヘテロ接合バイポーラトランジスタについて、図面を参照しながら説明する。

図1は、本実施の形態のHBTの構造を示す断面図である。

本実施の形態のHBTは、高出力化に付随して要求される高耐破壊化を満たすHBTを実現することを目的とするものであって、半絶縁性のGaAs半導体基板100と、半導体基板100上に形成され、n型不純物を $5 \times 10^{18} \text{ cm}^{-3}$ の高濃度でドープして形成されるn<sup>+</sup>型GaAsサブコレクタ層110と、サブコレクタ層110上の所定領域に凸部となるように形成された第1段目の層120a、120bと、第1段目の層120a上の所定領域に第2段目の凸部となるように形成された第2段目の層130と、第2段目の層130上の所定領域に第3段目の凸部となるように形成された第3段目の層140と、第3段目の層140上に形成されたPt/Ti/Pt/Auからなるエミッタ電極150と、第3段目の層140周辺の露出している第2段目の層130上にベース層132とオーム接觸するように熱処理して形成されたPt/Ti/Pt/Auからなるベース電極160と、第1段目の層120a周辺の露出しているサブコレクタ層110上に形成されたAuGe/Ni/Auからなるコレクタ電極170と、素子周辺領域に形成され、第1段目の層120bから半導体基板100に達し、単位HBTを電気的に分離する素子分離領域180とから構成される。

#### 【0021】

ここで、第1段目の層120a、120bは、サブコレクタ層110のGaAsよりアバランシェ係数が小さい半導体材料であるIn<sub>x</sub>Ga<sub>1-x</sub>P ( $0.47 \leq x \leq 0.52$ ) からなり、n型不純物を $1 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度、例えば $1 \times 10^{17} \text{ cm}^{-3}$ の濃度でドープして形成される膜厚200nm未満、例えば100nmのIn<sub>x</sub>Ga<sub>1-x</sub>P第1のコレクタ層121と、第1のコレクタ層121と同一の半導体材料であるIn<sub>x</sub>Ga<sub>1-x</sub>P ( $0.47 \leq x \leq 0.52$ ) からなり、n型不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度、例えば $1 \times 10^{18} \text{ cm}^{-3}$ の濃度でドープして形成される膜厚10nmの第1のコレクタ層121と

の伝導帯の不連続を緩和する In<sub>x</sub>Ga<sub>1-x</sub>P 第1のスペーサ層122とが順に積層される。

### 【0022】

このとき、第1のコレクタ層121の不純物濃度は  $1 \times 10^{17} \text{ cm}^{-3}$  以上であるので、コレクタ抵抗を低減させることができる。すなわち、第1のコレクタ層121の不純物濃度依存性を示す以下の表1のように、要求される特性（効率45%以上、VSWR=10:1以上）を満たしつつ、高効率化することができる。

### 【0023】

【表1】

単位

InGaP濃度	cm <sup>-3</sup>	アンドープ	1.00E+17
耐圧	V	21.7	20.7
Ron	Ω	10	9
DC破壊電圧 (Ic=20mA)	V	12.5	12.5
VSWR		10:1	10:1
効率	%	48	50

また、第1のコレクタ層121の膜厚は最終の素子の保護膜形成や配線形成の段切れを考慮して決められ、200nm未満であるので、コレクタ抵抗を低減させることができる。すなわち、第1のコレクタ層121の膜厚依存性を示す以下の表2のように、要求される特性（効率45%以上、VSWR=10:1以上）を満たしつつ、コレクタ抵抗を低減させることができる。

### 【0024】

【表2】

単位

InGaP厚	Å	0	500	1000	1500	2000	2500
耐圧	V	19	20	21.7	23.1	25	27
Ron	Ω	7	9	10	12	15	20
DC破壊電圧 (Ic=20mA)	V	8	9	12.5	14.5	16	18
VSWR		5:1	8:1	10:1	12:1	14:01	15:01
効率	%	50	49	48	47	44	41

### 【0025】

また、第1のスペーサ層122の不純物濃度は  $1 \times 10^{18} \text{ cm}^{-3}$  以下であるので、HBTの破壊の起点となるスペーサ層中での電界集中を抑制することができる。すなわち、第1のスペーサ層122の不純物濃度依存性を示す以下の表3のように、要求される特性（効率45%以上、VSWR=10:1）を満たしつつ、不純物濃度  $2 \times 10^{18} \text{ cm}^{-3}$  を境にして起こる極端な破壊性の低下を回避することができる。

### 【0026】

【表3】

単位					
n+層濃度	cm <sup>-3</sup>	4.00E+18	2.00E+18	1.00E+18	5.00E+17
n+層膜厚	Å	25	50	100	200
耐圧	V	20	21.7	22	22.5
R <sub>on</sub>	Ω	9.5	9.5	9.5	9.5
DC破壊電圧 (I <sub>c</sub> =20mA)	V	10	12.5	13	13.5
VSWR		8:1	10:1	10:1	12:1
効率	%	48	48	48	48

## 【0027】

また、第2段目の層130は、第2のコレクタ層132と同一の半導体材料であるGaAsからなり、n型不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度、例えば $1 \times 10^{18} \text{ cm}^{-3}$ の濃度でドープして形成される膜厚10nmの第2のコレクタ層132との伝導帯の不連続を緩和するGaAs第2のスペーサ層131と、n型不純物を $1 \times 10^{16} \text{ cm}^{-3}$ の濃度でドープして形成される膜厚500nmのGaAs第2のコレクタ層132と、p型不純物を $4 \times 10^{19} \text{ cm}^{-3}$ の濃度でドープして形成される膜厚100nmのGaAsベース層133と、ベース層133のGaAsよりバンドギャップが大きい半導体材料であるIn<sub>x</sub>Ga<sub>1-x</sub>P ( $0.47 \leq x \leq 0.52$ ) からなり、n型不純物を $1 \times 10^{18} \text{ cm}^{-3}$ の濃度でドープして形成される膜厚50nmのIn<sub>x</sub>Ga<sub>1-x</sub>Pエミッタ層134とが順に積層されてなる。このとき、第2のスペーサ層131の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下であるので、破壊の起点となるスペーサ層中の電界集中を抑制することができる。

## 【0028】

第3段目の層140は、n型不純物を $3 \times 10^{18} \text{ cm}^{-3}$ の濃度でドープして形成される膜厚200nmのGaAsエミッタキャップ層141と、n型不純物を $1 \times 10^{19} \text{ cm}^{-3}$ の濃度でドープして形成される膜厚100nmのInGaAsエミッタコンタクト層142とが順に積層されてなる。

## 【0029】

次に、以上のような構造を有するHBTの製造方法について図2、3に示す断面図に沿って説明する。なお、図1と同一の要素には同一の符号が付されており、それらに関する詳しい説明はここでは省略する。

## 【0030】

まず、図2(a)に示されるように、分子線エピタキシ法(MBE法)もしくは有機金属化学気相成長法(MOCVD法)等の結晶成長法により、サブコレクタ層110、第1のコレクタ層121、第1のスペーサ層122、第2のスペーサ層131、第2のコレクタ層132、ベース層133、エミッタ層134、エミッタキャップ層141およびエミッタコンタクト層142を半導体基板100上に順に積層する。

## 【0031】

次に、図2(b)に示されるように、フォトレジスト210により第3段目の層140形成のためのパターンを形成し、磷酸・過酸化水素・水の混合溶液によりエミッタコンタクト層142およびエミッタキャップ層141を順次エッチングすることにより、島状の第3段目の層140を形成する。このとき、エミッタ層134は殆どエッチングされない。

## 【0032】

次に、図2(c)に示されるように、フォトレジスト220により第2段目の層130形成のためのパターンを形成し、水で希釈した塩酸によりエミッタ層134を選択的にエ

ッチングした後、エミッタ層134をマスクにして、燐酸・過酸化水素・水の混合溶液によりベース層133、第2のコレクタ層132および第2のスペーサ層131を順次エッチングすることにより、島状の第2段目の層130を形成する。このとき、第1のスペーサ層122はInGaPからなるので、燐酸・過酸化水素系エッチング液によるエッチングのストッパー層として機能することとなり、非常に高い加工性で第2段目の層130形成のためのエッチングを行うことができる。

#### 【0033】

次に、図3(a)に示されるように、フォトレジスト300により素子分離領域180形成のためのパターンを形成し、第1のスペーサ層122、第1のコレクタ層121およびサブコレクタ層110に加速電圧200keV、ドーズ量 $8 \times 10^{13} \text{ cm}^{-2}$ の注入条件でHeイオン注入することにより、素子分離領域180を形成する。

#### 【0034】

次に、図3(b)に示されるように、フォトレジスト310により第1段目の層120a、120bおよびコレクタ電極170形成のためのパターンを形成し、水で希釈した塩酸により第1のスペーサ層122および第1のコレクタ層121を選択的にエッチングすることにより、第1段目の層120a、120bを形成する。そして、露出したサブコレクタ層110上に金属を蒸着し、リフトオフすることにより、AuGe/Ni/Auからなるコレクタ電極170を形成する。このとき、サブコレクタ層110はGaAsからなるので、水で希釈した塩酸によるエッチングのストッパー層として機能することとなり、非常に高い加工性で第1段目の層120a、120bおよびコレクタ電極170形成のためのエッチングを行うことができる。

#### 【0035】

次に、図3(c)に示されるように、フォトレジスト320によりエミッタ電極150およびベース電極160形成するためのパターンを形成した後、エミッタ層134およびエミッタコンタクト層142上に金属を蒸着し、リフトオフすることにより、Pt/Ti/Pt/Auからなるエミッタ電極150およびベース電極160を同時に形成する。そして、熱処理を行うことにより、エミッタ電極150、ベース電極160およびコレクタ電極170を合金化し、素子分離領域180を不活性化させ、さらに、ベース電極160をベース層133にオーミック接触させる。

#### 【0036】

以上のように本実施の形態のHBTによれば、サブコレクタ層110上には、サブコレクタ層110の半導体材料であるGaAsよりアバランシェ係数が小さい $In_xGa_{1-x}P$ ( $0.47 \leq x \leq 0.52$ )からなる第1のコレクタ層121と、サブコレクタ層110の不純物濃度よりも低濃度のn型の第2のコレクタ層132とが形成される。よって、高電流時において電界が集中するコレクタ・サブコレクタ界面にアバランシェ係数の小さい半導体材料からなる半導体層が挿入され、コレクタ・サブコレクタ界面におけるアバランシェブレークダウンを抑制することができるので、本実施の形態のHBTは、高出力化に付随して要求される高耐破壊化を満たすHBTを実現することができる。例えば、VSWR=1.0:1で破壊されないので、GSM方式の端末送信部のパワーデバイスとして実用化可能なHBTを実現することができる。

#### 【0037】

また、本実施の形態のHBTによれば、第1のコレクタ層121と第2のコレクタ層132との間には、第1のコレクタ層121および第2のコレクタ層132の伝導帯の不連続を緩和する第1のスペーサ層122と第2のスペーサ層131とが存在する。よって、コレクタ抵抗を低減させ、オン抵抗を抑えることができるので、本実施の形態のHBTは、高効率のHBTを実現することができる。

#### 【0038】

なお、本実施の形態のHBTにおいて、第1のコレクタ層121の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ の一定の濃度であるとした。しかし、第1のコレクタ層121の不純物濃度は、サブコレクタ層との界面において $5 \times 10^{18} \text{ cm}^{-3}$ であり、第2のコレクタ層との界

面において  $1 \times 10^{17} \text{ cm}^{-3}$  であり、サブコレクタ層との界面から第2のコレクタ層との界面に向けて段階的あるいは連続的に低くなてもよい。これによって、第1のコレクタ層およびサブコレクタ層、第1のコレクタ層および第2のコレクタ層の伝導帯の不連続を緩和し、オン抵抗を抑えることができるので、高効率のHBTを実現することができる。

#### 【0039】

また、本実施の形態のHBTにおいて、第1のスペーサ層122はInGaPからなり、第2段目の層130を形成する際に、第1のスペーサ層122を磷酸・過酸化水素系エッチング液によるエッチングのストップ層として機能させた。しかし、第1のスペーサ層はAlGaAsからなり、第2段目の層を形成する際に、第1のスペーサ層をクエン酸・過酸化水素系エッチング液によるエッチングのストップ層として機能させてもよい。これによって、InGaPからなる第1のスペーサ層を用いた場合と同様にエッチング加工精度を大幅に向上させることができる。

#### 【0040】

また、本実施の形態のHBTにおいて、第2のコレクタ層132は、n型不純物がドープされたGaAsからなるとした。しかし、第2のコレクタ層132は、ノンドープのi型のGaAsからなってもよい。

また、本実施の形態のHBTにおいて、第1のコレクタ層121と第2のコレクタ層132との間には、第1のスペーサ層122と第2のスペーサ層131とが存在するとした。しかし、第1のコレクタ層121と第2のコレクタ層132との間には、第1のスペーサ層122と第2のスペーサ層131とが存在しなくてもよいし、また、どちらか一方だけが存在してもよい。

#### 【0041】

また、本実施の形態のHBTにおいて、第1のコレクタ層121は、サブコレクタ層110の半導体材料であるGaAsよりアバランシェ係数が小さい $\text{In}_x\text{Ga}_{1-x}\text{P}$  ( $0.47 \leq x \leq 0.52$ ) からなるとした。しかし、GaAsよりアバランシェ係数が小さい半導体材料であればそれに限られず、第1のコレクタ層は、例えば、AlGaAsあるいはGaP等の他の半導体材料からなってもよい。

#### 【0042】

また、第1のコレクタ層121は、ディスオーダされた構造を有してもよい。これによって、コレクタ抵抗を低減させ、オン抵抗を抑えることができるので、高効率のHBTを実現することができる。

また、本実施の形態のHBTにおいて、第1のコレクタ層121は、 $\text{In}_x\text{Ga}_{1-x}\text{P}$  ( $0.47 \leq x \leq 0.52$ ) からなり、また、エミッタ層134は、 $\text{In}_x\text{Ga}_{1-x}\text{P}$  ( $0.47 \leq x \leq 0.52$ ) からなるとした。しかし、第1のコレクタ層は、 $\text{Al}_y\text{Ga}_{1-y}\text{As}$  ( $0 \leq y \leq 1$ ) からなり、また、エミッタ層134は、 $\text{Al}_y\text{Ga}_{1-y}\text{As}$  ( $0 \leq y \leq 1$ ) からなってもよい。

#### 【0043】

また、本実施の形態のHBTにおいて、第1のコレクタ層121は、 $\text{In}_x\text{Ga}_{1-x}\text{P}$  ( $0.47 \leq x \leq 0.52$ ) からなるとした。しかし、第1のコレクタ層は、 $\text{Al}_y\text{Ga}_{1-y}\text{As}$  ( $0 \leq y \leq 1$ ) からなり、Al組成yをサブコレクタ層との界面から第2のコレクタ層との界面に向けて段階的に減少させてもよい。これによって、第1のコレクタ層およびサブコレクタ層、第1のコレクタ層および第2のコレクタ層の伝導帯の不連続を緩和し、オン抵抗を抑えることができるので、高効率のHBTを実現することができる。

#### 【産業上の利用可能性】

#### 【0044】

本発明は、ヘテロ接合バイポーラトランジスタに利用でき、特に携帯電話機等に用いられる高周波アナログ素子等に利用することができる。

#### 【図面の簡単な説明】

## 【0045】

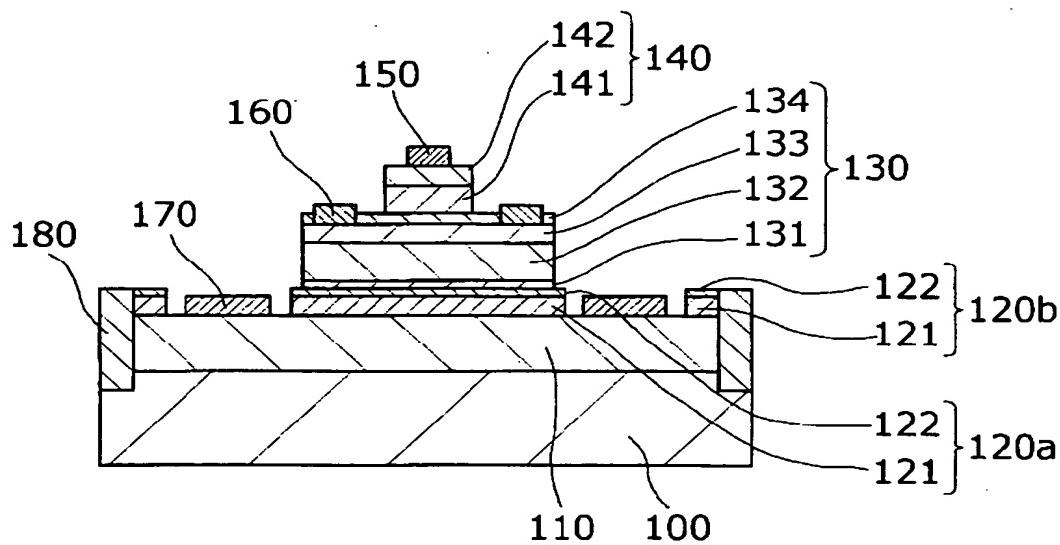
- 【図1】本発明の実施の形態のHBTの構造を示す断面図である。
- 【図2】同実施の形態のHBTの製造方法を説明するための断面図である。
- 【図3】同実施の形態のHBTの製造方法を説明するための断面図である。
- 【図4】従来のHBTの構造を示す断面図である。
- 【図5】高出力化に付随して起こるHBTの破壊について説明するためのVc-Ic特性および破壊曲線を示す図である。
- 【図6】高出力化に付随して起こるHBTの破壊について説明するための電界強度シミュレーション結果を示す図である。

## 【符号の説明】

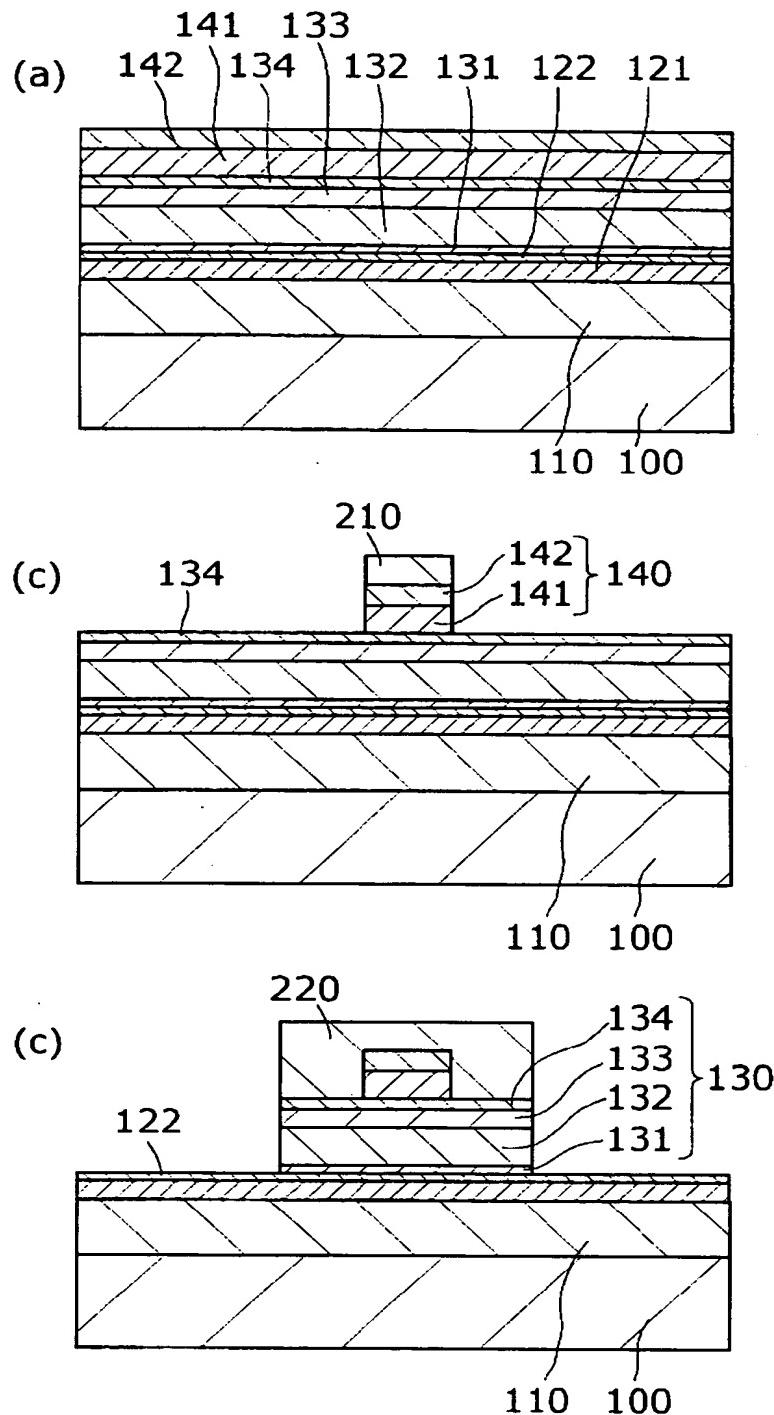
## 【0046】

- |                     |            |
|---------------------|------------|
| 100、400             | 半導体基板      |
| 110、410             | サブコレクタ層    |
| 120a、120b、420       | 第1段目の層     |
| 121                 | 第1のコレクタ層   |
| 122                 | 第1のスペーサ層   |
| 130、430             | 第2段目の層     |
| 131                 | 第2のスペーサ層   |
| 132                 | 第2のコレクタ層   |
| 133、422             | ベース層       |
| 134、423             | エミッタ層      |
| 140                 | 第3段目の層     |
| 141、431             | エミッタキャップ層  |
| 142、432             | エミッタコンタクト層 |
| 150、440             | エミッタ電極     |
| 160、450             | ベース電極      |
| 170、460             | コレクタ電極     |
| 180                 | 素子分離領域     |
| 210、220、300、310、320 | フォトレジスト    |
| 421                 | コレクタ層      |

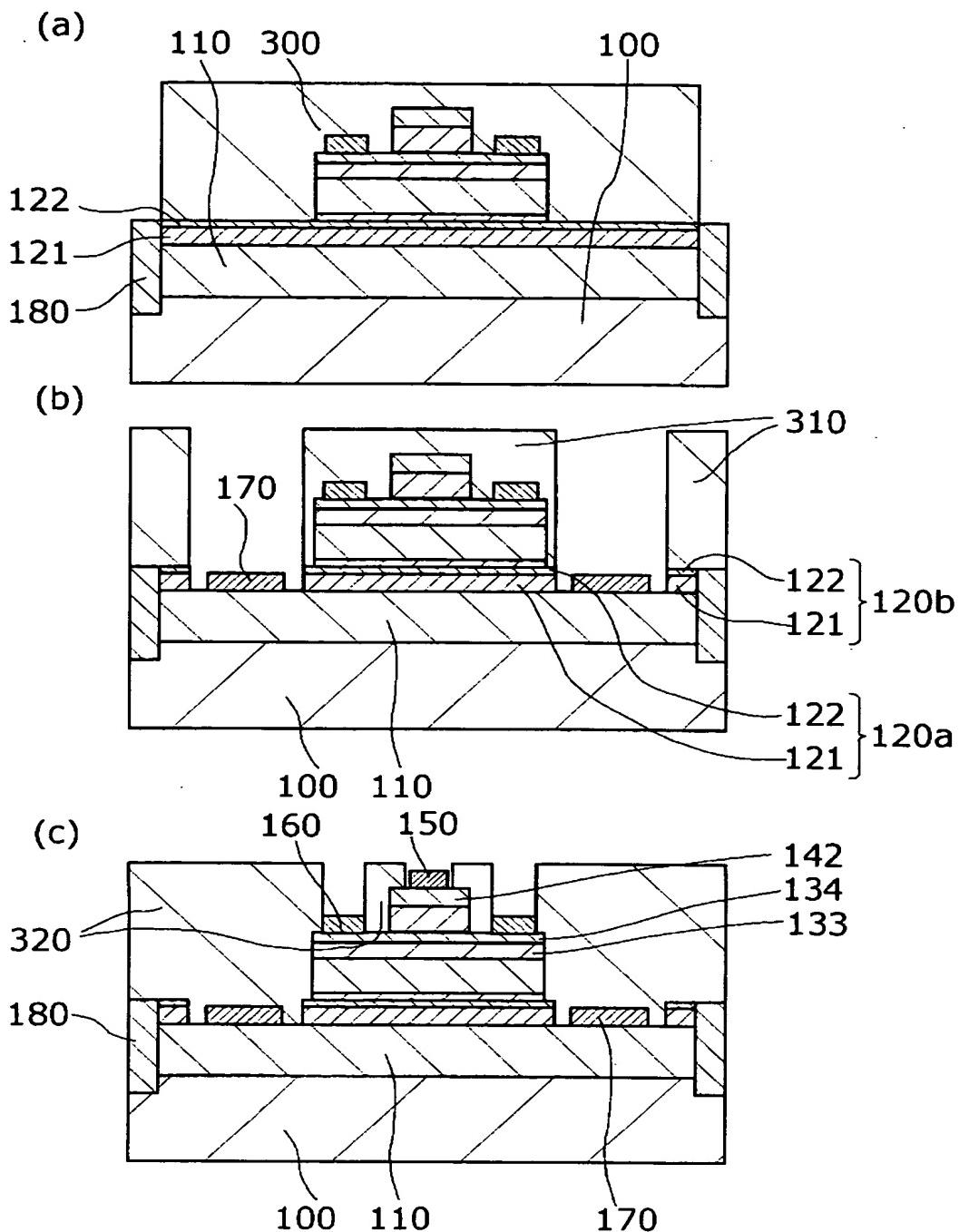
【書類名】 図面  
【図 1】



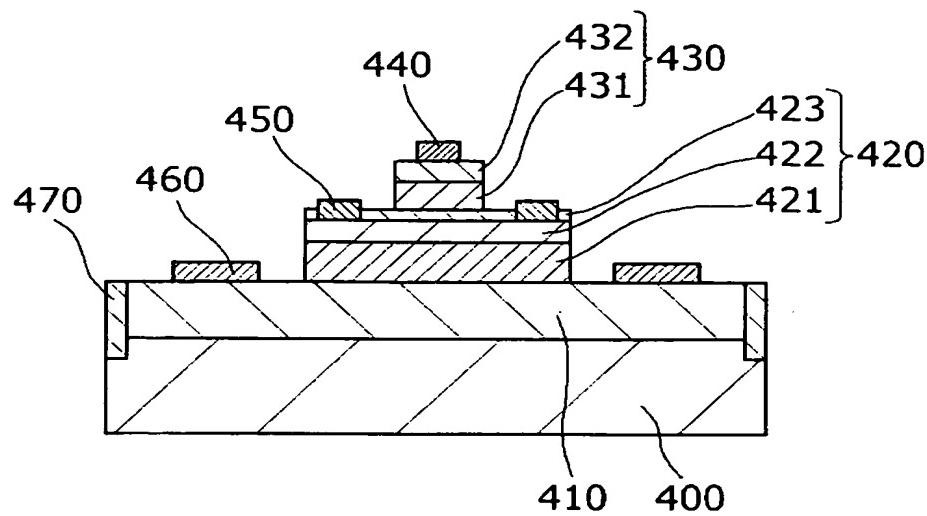
【図2】



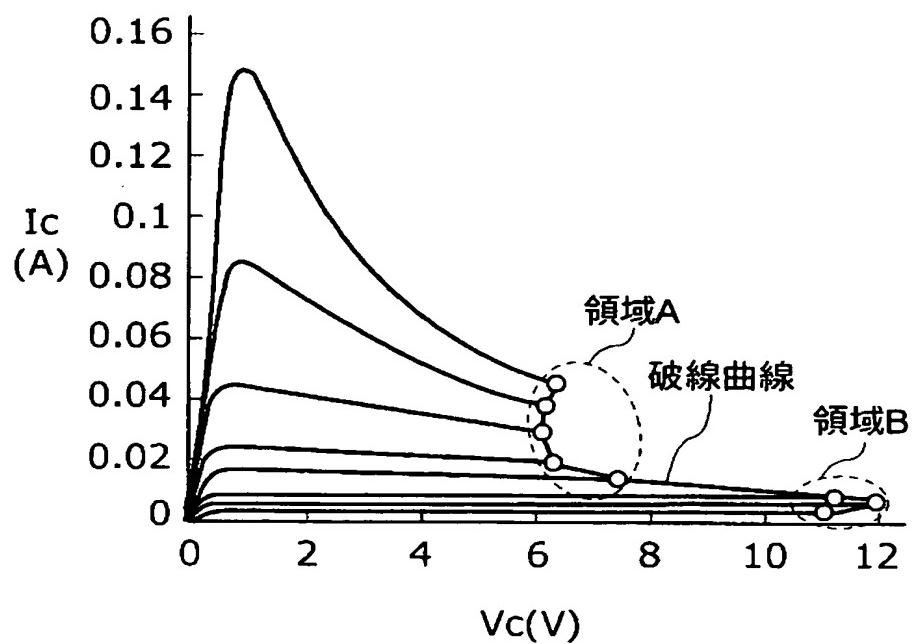
【図3】



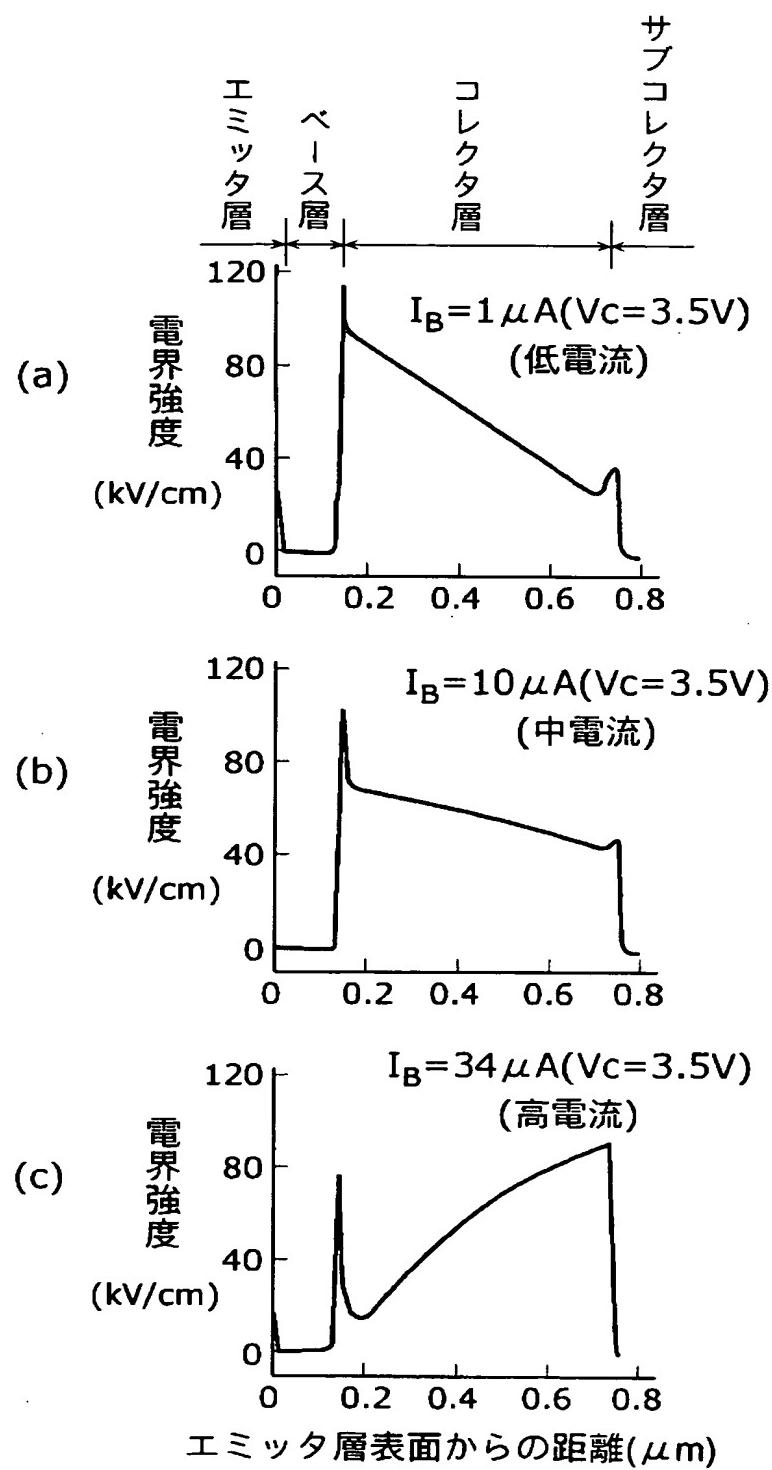
【図4】



【図5】



【図 6】



【書類名】要約書

【要約】

【課題】高出力化に付随して要求される高耐破壊化を満たすヘテロ接合バイポーラトランジスタを提供する。

【解決手段】G a A s からなる n 型のサブコレクタ層 110 と、サブコレクタ層 110 上に形成され、サブコレクタ層 110 よりアバランシェ係数の小さい半導体材料からなる n 型の第 1 のコレクタ層 121 と、第 1 のコレクタ層 121 上に形成され、サブコレクタ層 110 より低い不純物濃度の n 型又は i 型の G a A s からなる第 2 のコレクタ層 203 と、第 2 のコレクタ層 203 上に形成され、G a A s からなる p 型のベース層 204 と、ベース層 204 上に形成され、ベース層 204 よりバンドギャップの大きな半導体材料からなる n 型のエミッタ層 205 とを備えるヘテロ接合バイポーラトランジスタ。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願2003-348750
受付番号	50301672488
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年10月10日

## &lt;認定情報・付加情報&gt;

【提出日】	平成15年10月 7日
-------	-------------

特願2003-348750

出願人履歴情報

識別番号 [00005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社